

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] Hold a light modulation layer between two substrates, and two or more electrodes are formed in one [ at least ] aforementioned substrate. IC chip which drives the aforementioned electrode is allotted to the periphery section of aforementioned one substrate through a direct or connection wiring substrate. Flat-surface display characterized by equipping the aforementioned substrate of another side with wiring of [ 1 / at least ] two or more aforementioned wiring in the flat-surface display which formed in the aforementioned periphery section of aforementioned one substrate two or more wiring which inputs the signal for making the aforementioned IC chip drive through the direct or connection wiring substrate.

[Claim 2] Flat-surface display according to claim 1 characterized by including the grounding wiring which grounds the wiring or the aforementioned IC chip which supplies the power supply which drives the aforementioned IC chip in the aforementioned wiring of at least 1.

[Claim 3] Hold a light modulation layer between two substrates, and two or more electrodes are formed in one [ at least ] aforementioned substrate. IC chip which drives the aforementioned electrode is allotted to the periphery section of aforementioned one substrate through a direct or connection wiring substrate. In the flat-surface display which formed in the aforementioned periphery section of aforementioned one substrate two or more wiring which inputs the signal for making the aforementioned IC chip drive through the direct or connection wiring substrate Flat-surface display characterized by inputting into the aforementioned IC chip in parallel through the wiring in which wiring was formed also in the aforementioned substrate of another side, and the signal of at least 1 was formed by aforementioned one substrate, and the wiring formed in the substrate of aforementioned another side.

[Claim 4] The external input section electrically connected with two or more aforementioned wiring is allotted to the aforementioned periphery section of aforementioned one substrate. Two or more aforementioned IC chips are allotted along the end side, even if there is little aforementioned one aforementioned substrate. the above inputted into the aforementioned IC chip from the aforementioned external input section — the flat-surface display according to claim 3 characterized by making almost equal wiring resistance of as opposed to [ even if few ] the signal of 1 between the adjoining aforementioned IC chips

[Claim 5] Flat-surface display according to claim 3 or 4 characterized by including the grounding wiring which grounds the wiring or the aforementioned IC chip which supplies the power supply which drives the aforementioned IC chip in wiring which lets the aforementioned signal of at least 1 pass.

[Claim 6] Hold a light modulation layer between two substrates, and two or more electrodes are formed in one [ at least ] aforementioned substrate. IC chip which drives the aforementioned electrode is allotted to the periphery section of the field in which the aforementioned electrode of aforementioned one substrate was formed through a direct or connection wiring substrate. In the flat-surface display which formed in the aforementioned periphery section of aforementioned one substrate two or more wiring which inputs the signal for making the aforementioned IC chip drive through the direct or connection wiring substrate Flat-surface display characterized by allotting wiring of [ 1 / at least ] two or more aforementioned wiring to the rear face of the field

in which the aforementioned electrode of aforementioned one aforementioned substrate was formed.

[Claim 7] Flat-surface display according to claim 6 which allots aforementioned one substrate downward, allots the substrate of aforementioned another side upwards, is equipped with an external lighting system under aforementioned one substrate, and is characterized by including the grounding wiring which grounds the aforementioned IC chip for the aforementioned wiring of at least 1.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the flat-surface display which has the feature especially in wiring structure about the flat-surface display represented by the liquid crystal display.

[0002]

[Description of the Prior Art] The wiring structure of the conventional liquid crystal display is explained based on drawing 9 .

[0003] A liquid crystal display 400 combines two glass substrates 402 and 404, and two or more IC chips 408 for signal-line mechanical components for driving switching elements, such as a TFT transistor made to form in a glass substrate 404, and IC chips 410 for scanning-line mechanical components are directly mounted in the periphery section 406 of one glass substrate 404. The wiring 412 for supplying a control signal, a drive power supply, etc. for controlling these IC chips 408 and 410 is formed in the periphery section 406 of a glass substrate 404 by the thin film. And the flexible substrate 414 is allotted to the input terminal portion of this wiring 412, and it connects with the external circuit which supplies said control signal, a drive power supply, etc.

[0004]

[Problem(s) to be Solved by the Invention] Since it is formed simultaneously with each electrode in the display area 416 with the wiring structure of the above-mentioned liquid crystal display 400, wiring 412 is formed by the thin film and, therefore, its wiring resistance is strong. If wiring resistance is strong, a malfunction will arise for IC chip and the fault that a good screen display is not obtained will tend to happen. Although it is possible to make width of face of wiring 412 thick in order to make such wiring resistance small, when wiring 412 is made thick, there is a problem that the area of the periphery section 406 of the glass substrate 404 which is the field in which wiring 412 is formed will become large, and the appearance size of the glass substrate 404 to the screen-display area 416 will become large.

[0005] Then, this invention aims at offering the liquid crystal display which can make small wiring resistance of the wiring allotted on the glass substrate, without enlarging appearance size of a glass substrate.

[0006]

[Means for Solving the Problem] The flat-surface display of the claim 1 of this invention holds a light modulation layer between two substrates. Form two or more electrodes in one [ at least ] aforementioned substrate, and IC chip which drives the aforementioned electrode is allotted to the periphery section of aforementioned one substrate through a direct or connection wiring substrate. The aforementioned substrate of another side is equipped with wiring of [ 1 / at least ] two or more aforementioned wiring in the flat-surface display which formed in the aforementioned periphery section of aforementioned one substrate two or more wiring which inputs the signal for making the aforementioned IC chip drive through the direct or connection wiring substrate.

[0007] The grounding wiring with which the flat-surface display of a claim 2 grounds the wiring which supplies the power supply which drives the aforementioned IC chip to the aforementioned

wiring of at least 1 in a claim 1, or the aforementioned IC chip is included.

[0008] The flat-surface display of a claim 3 holds a light modulation layer between two substrates, and forms two or more electrodes in one [ at least ] aforementioned substrate. IC chip which drives the aforementioned electrode is allotted to the periphery section of aforementioned one substrate through a direct or connection wiring substrate. In the flat-surface display which formed in the aforementioned periphery section of aforementioned one substrate two or more wiring which inputs the signal for making the aforementioned IC chip drive through the direct or connection wiring substrate It inputs into the aforementioned IC chip in parallel through the wiring in which wiring was formed also in the aforementioned substrate of another side, and the signal of 1 was formed by aforementioned one substrate, and the wiring formed in the substrate of aforementioned another side.

[0009] The external input section by which the flat-surface display of a claim 4 was electrically connected with two or more aforementioned wiring in the claim 3 is allotted to the aforementioned periphery section of aforementioned one substrate. the aforementioned IC chip – the above of aforementioned one aforementioned substrate which is arranged along the end side at least, and is inputted into the aforementioned IC chip from the aforementioned external input section — wiring resistance of as opposed to [ even if few ] the signal of 1 is made almost equal between the adjoining aforementioned IC chips [ two or more ]

[0010] The grounding wiring with which the flat-surface display of a claim 5 grounds the wiring or the aforementioned IC chip with which the power supply which drives the aforementioned IC chip is supplied to wiring with which it lets the aforementioned signal of at least 1 pass in claims 3 or 4 is included.

[0011] The flat-surface display of a claim 6 holds a light modulation layer between two substrates, and forms two or more electrodes in one [ at least ] aforementioned substrate. IC chip which drives the aforementioned electrode is allotted to the periphery section of the field in which the aforementioned electrode of aforementioned one substrate was formed through a direct or connection wiring substrate. In the flat-surface display which formed in the aforementioned periphery section of aforementioned one substrate two or more wiring which inputs the signal for making the aforementioned IC chip drive through the direct or connection wiring substrate Wiring of [ 1 / at least ] two or more aforementioned wiring is allotted to the rear face of the field in which the aforementioned electrode of aforementioned one aforementioned substrate was formed.

[0012] In the claim 6, aforementioned one substrate is allotted downward, it allots the substrate of aforementioned another side upwards, the flat-surface display of a claim 7 is equipped with an external lighting system under aforementioned one substrate, and the grounding wiring which grounds the aforementioned IC chip is included in the aforementioned wiring of at least 1.

[0013] In the flat-surface display of a claim 1, wiring of at least 1 is allotted to the substrate of another side among wiring, such as two or more wiring which inputs the signal for making IC chip drive, for example, the wiring for drive power supplies, and indicative-data signal wiring, grounding wiring. Therefore, the periphery section of one substrate or area of a connection wiring substrate can be made small a wired part of the 1 at least. Moreover, without enlarging the appearance of aforementioned one substrate, wiring width of face of two or more wiring formed in the periphery section of the substrate or the connection wiring substrate can be made thick, and wiring resistance can be made small.

[0014] In the flat-surface display of a claim 2, especially the potential fall by wiring resistance can lower the wiring resistance about the wiring for drive power supplies or grounding wiring which poses a problem.

[0015] In the flat-surface display of a claim 3, wiring of [ 1 / at least ] two or more wiring which inputs the signal for making IC chip drive is also allotted to the substrate of another side, and the signal of 1 is inputted into parallel at IC chip by the wiring formed in one substrate, and the wiring formed in the substrate of another side. Therefore, compared with the case where the wiring resistance to IC chip is connected in series, it is small, and wiring resistance of the wiring can be made small, without enlarging the appearance of aforementioned one substrate.

[0016] In the flat-surface display of a claim 4, in two or more IC chips allotted along with \*\*\*\* of

one substrate, since the wiring resistance at the time of being inputted into each IC chip from the external input section is almost equal between adjoining IC chips, about the signal of at least 1, a homogeneous signal is sent between each IC chip. Therefore, IC chip of these plurality can be equally operated irrespective of the distance from the external input section, and the stable screen display can be obtained.

[0017] In the flat-surface display of a claim 5, especially the potential fall by wiring resistance can lower the wiring resistance about the wiring for drive power supplies or grounding wiring which poses a problem.

[0018] In the flat-surface display of a claim 6, the field in which other wiring of one substrate was formed is matched for the field of an opposite side with wiring of [ 1 / at least ] two or more wiring which inputs the signal for making IC chip drive. Therefore, one periphery section of a substrate or connection wiring substrate can be made small a wired part of the 1 at least. Moreover, without enlarging the appearance of aforementioned one substrate, wiring width of face of two or more wiring formed in the periphery section of the substrate or the connection wiring substrate can be made thick, and wiring resistance can be made small. Furthermore, since it is the rear face of a substrate, it is also easy to make the wiring of 1 thick.

[0019] Since grounding wiring is allotted to the inferior surface of tongue of one substrate, while shielding the noise from the external lighting system allotted caudad in the flat-surface display of a claim 7, the shielding effect to the noise from the outside of flat-surface display is high.

[0020]

[Embodiments of the Invention]

(The 1st example) Drawing 1 and 2 explain the liquid crystal display 10 concerning the 1st example of this invention hereafter.

[0021] This liquid crystal display 10 is COG (Chip On Glass). It is a liquid crystal display by the method, and between two glass substrates with which the array electrode and the counterelectrode were formed, respectively, liquid crystal is held and the display section 11 is formed. And the array substrate 12 which is a glass substrate with which the array electrode was formed is formed more greatly than the opposite substrate 14 which is a glass substrate with which the counterelectrode was formed, and it is formed so that the signal-line side periphery section (henceforth the X side periphery section) 16 which becomes a way from the array substrate 12 outside the aforementioned display section 11, and the scanning-line side periphery section (henceforth the Y side periphery section) 18 may cross in the shape of L character. And the external input polar zone 17 into which the signal from the outside etc. is inputted is formed in the field to which both these periphery sections 16 and 18 cross, and the flexible wiring substrate 19 is electrically connected to this polar zone 17.

[0022] A sign 20 is IC chip for signal-line mechanical components (henceforth an X side IC chip) directly mounted in the X side periphery section 16, a predetermined interval is set and three pieces are mounted in the upper surface of the array substrate 12. This X side IC chip 20 is connected to two or more signal lines 22 which consist of an aluminum (aluminum) thin film pulled out from the display section 11.

[0023] A sign 24 is IC chip for scanning-line mechanical components (henceforth a Y side IC chip) directly mounted in the Y side periphery section 18, a predetermined interval is set and two pieces are mounted in the upper surface of the array substrate 12. This Y side IC chip 24 is connected to two or more scanning lines 26 which consist of an aluminum (aluminum) thin film pulled out from the display section 11.

[0024] A sign 28 is the wiring (henceforth the X side array wiring) on an array substrate formed in the X side periphery section 16 of the aluminum (aluminum) thin film, and consists of two or more signal input wiring which inputs signals, such as an indicative data, and a clock signal, a start pulse, into the X side IC chip 20, and grounding wiring for grounding the X side IC chip 20. This X side array wiring 28 is prolonged along with the rim of the X side periphery section 16 from the external input polar zone 17. If the X side [ three pieces ] IC chip 20 is set to 1st X side IC chip 20a, 2nd X side IC chip 20b, and 3rd X side IC chip 20c from the direction near the external input polar zone 17, here The X side array wiring 28 was crooked so that it might project in the inner direction with the 1st and 2 X side IC chips 20a and 20b, it connected both

[ these ] the chips 20a and 20b to the aforementioned polar zone 17, further, was prolonged to 3rd X side IC chip 20c, and has connected this chip 20c.

[0025] A sign 30 is the wiring (henceforth the Y side array wiring) on an array substrate formed in the Y side periphery section 18 of the thin film, and consists of two or more input signal wiring which inputs signals, such as an indicative data, and a clock signal, a start pulse, into the Y side IC chip 24, and grounding wiring for grounding the Y side IC chip 24. This Y side array wiring 30 is prolonged along with the rim of the Y side periphery section 18 from the external input polar zone 17. This Y side array wiring 30 as well as the X side array wiring 28 has connected the 1st and 2 chips 24a and 24b of the Y side IC chip 24 to the external input polar zone 17.

[0026] A sign 32 is wiring (henceforth the X side opposite wiring) on an opposite substrate which is formed of a thin film on this substrate at the inside, i.e., inferior surface of tongue, side of the opposite substrate 14, and is prolonged in parallel with the X side periphery section 16. This X side opposite wiring 32 is wiring which supplies a drive power supply to the X side IC chip 20, and the end is electrically connected with the wiring 34 on an array substrate which consists of a thin film pulled out from the external input polar zone 17 through the conductive transfer 36. And the other end is electrically connected through wiring-on array substrate 38c connected with 3rd X side IC chip 20c, and conductive transfer 40c. Furthermore, it connects with the wiring 38a and 38b on an array substrate connected to each IC chips 20a and 20b, respectively electrically through the conductive transfer 40a and 40b, respectively also about the 1st and 2 X side IC chips 20a and 20b.

[0027] A sign 42 is wiring (henceforth the Y side opposite wiring) on an opposite substrate which is formed of a thin film on this substrate at the inside side of the opposite substrate 14, and is prolonged in parallel with the Y side periphery section 18. this Y side opposite wiring 42 is wiring which supplies a drive power supply to the Y side IC chip 24, and the end connects it with the X side opposite wiring 32 electrically in transfer 36 — having — \*\*\*\* — the other end — the — it connects electrically through wiring-on array substrate 44b connected to 2Y side IC chip 24b, and conductive transfer 46b the [ furthermore, ] — it connects electrically also about 1Y side IC chip 24a through wiring-on array substrate 44a connected with this IC chip 24a, and conductive transfer 46a

[0028] These X side and the Y side opposite wiring 32 and 42 are located in the method of outside [ periphery / of the counterelectrode 48 formed in the opposite substrate 14 ].

Moreover, these opposite wiring 32 and 42 and the wiring 34, 38, and 44 on an array substrate are formed more broadly than the wiring of each 1 of the signal input wiring which constitutes the X side array wiring 28 and the Y side array wiring 30.

[0029] In addition, the electric supply to a counterelectrode 48 is made through the wiring 52 on an array substrate, and the conductive transfer 54 from the flexible substrate 50 allotted to the edge opposite to the external input polar zone 17 of the X side periphery section 16. Pad section 48a for forming TORASUNSUFA 54 is projected and formed in the edge of a counterelectrode 48.

[0030] Here, drawing 2 explains the structure of transfer 40b. Transfer 40b is conductive material which consists of a silver paste, for example, was formed in the shape of a pillar in the insulating sealant 56 for closing the liquid crystal 61 between the array substrate 12 and the opposite substrate 14, and has connected the connection pad 58 of the X side opposite wiring 32, and wiring-on array substrate 38b. It is similarly formed in the shape of a pillar in the sealant 56 about Transfer 40a and 40c and other transfer 36, 46, and 54.

[0031] In addition, the color part by which a sign 60 is constituted from a shading film and a sign 62 is constituted from three primary colors of red, green, and blue is shown, and it is formed on the opposite substrate 14. The organic insulating protective coat 64 is formed between this color part 62 and counterelectrode 48. Moreover, in a sign 66, an insulator layer and a sign 68 show a pixel electrode, and a sign 70 shows an orientation film.

[0032] As mentioned above, in the becoming liquid crystal display 10, the wiring 32 and 42 which supplies a drive power supply among two or more wiring which should connect with the IC chips 20 and 24 is formed in the opposite substrate 14 side. Therefore, the wiring field for forming the wiring in the X side and the Y side periphery sections 16 and 18 can be made small, and

appearance size of the glass substrate to screen-display area can be made small. Moreover, without enlarging appearance size of a glass substrate, wiring width of face of X and the Y side array wiring 28 and 30 and the X side, and the Y side opposite wiring 32 and 42 can be made thick, and, therefore, wiring resistance of the wiring formed on these glass substrates can be made small.

[0033] In addition, although the wiring for the drive power supplies to the IC chips 20 and 24 was formed above on the opposite substrate 14, it may replace with this and grounding wiring and signal input wiring may be formed on the opposite substrate 14. However, it is more desirable to form the wiring for drive power supplies and grounding wiring with which especially wiring resistance poses a problem in the opposite substrate 14, since the width of face can be easily made thick and wiring resistance can be lowered, without the direction which formed wiring 32 and 42 in the opposite substrate 14 enlarging appearance size as mentioned above.

[0034] Moreover, although the X side and the Y side opposite wiring 32 and 42 were made to form independently above and were considered as the wiring for drive power supplies, you may use as wiring the shading film 60 which has conductivity as it is. Also in this case, between the array substrate 12 and the opposite substrates 14 is electrically connected by transfer 36, 40, and 46.

[0035] (The 2nd example) Next, drawing 3 explains the liquid crystal display 100 concerning the 2nd example.

[0036] The wiring for drive power supplies for the IC chips 20 and 24 is formed on the opposite substrate 14 like [ this example ] the 1st example. Hereafter, only difference with the 1st example is explained.

[0037] This liquid crystal display 100 is based on a TAB (Tape Automated Bonding) method. 104b TCP (Tape Carrier Package) by which each IC chips 20 and 24 were carried on the flexible substrate at the X side periphery section 16 and the Y side periphery section 18 — the X side — three-piece 102a, andb [ 102 ] andc [ 102 ] side and the Y side — two-piece 104a — it is allotted

[0038] In this example, the X side opposite wiring 32 and the Y side opposite wiring 42 were not connected on the opposite substrate 14, but it has dissociated. The wiring for drive power supplies to the X side IC chip 20 and the Y side IC chip 24 is pulled out along with the X side and the Y side periphery sections 16 and 18, respectively from the external input polar zone 17, and is connected to TCP 102a and 104a in which the 1st IC chips 20a and 24a were carried, respectively. And on TCP102a and 104a, while connecting with the 1st IC chips 20a and 24a electrically, it connects with Transfer 40a and 46a through the wiring 38a and 44a on an array substrate, and, thereby, connects with X and the Y side opposite wiring 32 and 42.

[0039] In addition, the electric supply to a counterelectrode 48 is made near the external input polar zone 17, and is made through the wiring 52 on an array substrate and transfer 54 which were pulled out from this polar zone 17.

[0040] As mentioned above, also by the case of a TAB method, the wiring for making the IC chips 20 and 24 drive can be formed on the opposite substrate 14, and, thereby, the same effect as the 1st example is acquired.

[0041] In addition, if it constitutes like this example so that the wiring 32 and 42 on an opposite substrate may be separated by the X and Y side, electric supply to a counterelectrode 48 can be performed from the external input polar zone 17.

[0042] (The 3rd example) Next, drawing 4 explains the liquid crystal display 150 concerning the 3rd example.

[0043] This liquid crystal display 150 is characterized by performing wiring for the IC chips 20 and 24 by parallel with the wiring on the array substrate 12, and the wiring on the opposite substrate 14. That is, it does not prepare on the opposite substrate 14 like the 1st and 2 example instead of forming a part of two or more wiring for the IC chips 20 and 24 on the array substrate 12, and the wiring for drive power supplies is formed in both the array substrate 12 and the opposite substrate 14, for example, current supply is performed from the both sides of the array substrate 12 and the opposite substrate 14.

[0044] Hereafter, the case where this wiring for drive power supplies is wired in parallel is

explained in detail.

[0045] It is pulled out from the external input polar zone 17 by the X side periphery section 16 of the array substrate 12, and the wiring 154a and 154b on an array substrate connected to the power supply input electrodes 152a and 152b of each IC chips 20a and 20b, respectively is formed in it. Moreover, the power supply input electrodes 152a and 152b are connected to the transfer 156a and 156b which connects electrically between the array substrate 12 and the opposite substrates 14.

[0046] The wiring 158a and 158b corresponding to each IC chips 20a and 20b on an opposite substrate is formed in the inferior-surface-of-tongue side of the periphery section of the opposite substrate 14 which counters the X side periphery section 16 so that it may be located in a way outside the screen-display area 160. The wiring 158a and 158b on this opposite substrate is connected to the transfer 162a and 162b by which the end was prepared in the corner of the opposite substrate 14 in which it connects with Transfer 156a and 156b, and the other end is located near the external input polar zone 17. And Transfer 162a and 162b is connected to the wiring 164a and 164b on an array substrate pulled out from the external input polar zone 17, respectively.

[0047] The wiring resistance of the wiring 154a and 154b on an array substrate here, respectively  $R_{Aa}$ , It is referred to as  $R_{Ab}$ . the wiring resistance of the wiring 158a and 158b on an opposite substrate, respectively  $R_{Ca}$ , It is referred to as  $R_{Cb}$  and they are  $R_{T1a}$ ,  $R_{T1b}$ ,  $R_{T0a}$ , and  $R_{T0b}$  further, respectively about the resistance of each transfer 156a, 156b, 162a, and 162b. When it carries out, each wiring and transfer are designed so that the following formula (1) may be realized among these resistance.

[0048]

[Equation 1]

$$\frac{1}{\frac{1}{R_{Aa}} + \frac{1}{R_{Ca} + R_{T1a} + R_{T0a}}} = \frac{1}{\frac{1}{R_{Ab}} + \frac{1}{R_{Cb} + R_{T1b} + R_{T0b}}} \quad \dots\dots (1)$$

That is, the wiring resistance from the external input polar zone 17 to the IC chip 20 is between 1st chip 20a and 2nd chip 20b, and it is designed so that it may become equal.

[0049] In addition, it sets above and they are  $R_{AOa}$  and  $R_{AOb}$ , respectively about the wiring resistance of the wiring 164a and 164b to Transfer 162a and 162b from the external input polar zone 17 on an array substrate. It is more desirable, when it carries out and each wiring and transfer are designed so that the following formula (2) may be realized.

[0050]

[Equation 2]

$$\frac{1}{\frac{1}{R_{Aa}} + \frac{1}{R_{Ca} + R_{T1a} + R_{T0a} + R_{AOa}}} = \frac{1}{\frac{1}{R_{Ab}} + \frac{1}{R_{Cb} + R_{T1b} + R_{T0b} + R_{AOb}}} \quad \dots\dots (2)$$

Also in the periphery section of the opposite substrate 14 which counters the Y side periphery section 18 of the array substrate 12, and it Like the X side mentioned above, the wiring for drive power supplies of each IC chips 24a and 24b the wiring resistance from the external input polar



zone 17 to [ is allotted in parallel with the array substrate 12 and the opposite substrate 14, and ] the IC chip 24 — the — the [ 1Y side IC chip 24a and ] — between 2Y side IC chip 24b — it is — etc. — it spreads — it is designed so that it may become

[0051] In this liquid crystal display 150, the drive power supply of the IC chips 20 and 24 is supplied to parallel from the both sides of the array substrate 12 and the opposite substrate 14. Therefore, the wiring resistance between the external input polar zone 17 and each IC chips 20 and 24 is small compared with the case of being in-series. That is, the wiring resistance itself can be made small. Thereby, a voltage drop can become small and can operate the IC chips 20 and 24 good.

[0052] Moreover, since this wiring resistance is during the 1st chip 20a and 24a and the 2nd chip 20b and 24b and is equal, an equivalent drive power supply can be inputted into the IC chips 20a and 20b which are two, or 24a and 24b, and, therefore, these can be operated equally. As mentioned above, fitness and the stable screen display without the nonuniformity for every IC chip can be obtained.

[0053] Furthermore, since wiring is designed based on a formula (1) or a formula (2) as mentioned above, the resistance from the external input polar zone 17 to the power supply input electrode 152 of the IC chips 20 and 24 can be known, and the value of a voltage drop can be calculated. Therefore, in consideration of a part for this voltage drop, a margin can be seen and external input potential can be decided.

[0054] In addition, although the case where the wiring for drive power supplies of IC chip was wired in parallel above was explained, about other signal input wiring and grounding wiring which are connected to the IC chips 20 and 24, it can replace with the wiring for drive power supplies, or can wire in parallel simultaneously with it. As for such parallel wiring, it is desirable to apply to the signal about an indicative data etc. except a clock signal, a start pulse signal, etc., a drive power supply, grounding, etc., and applying especially to a drive power supply is most desirable. In addition, about the wiring for drive power supplies, in order to make the voltage drop by wiring resistance as small as possible, it is still more desirable to make wiring width of face thicker than other wiring.

[0055] (The 4th example) Next, drawing 5 and 6 explain the liquid crystal display 200 concerning the 4th example.

[0056] Although this liquid crystal display 200 is a liquid crystal display by the COG method like the 1st example, grounding wiring is allotted to the inferior surface of tongue of the array substrate 12 in this example. That is, the L character-like wiring [ grounding ] 202 is formed in the periphery section of the inferior surface of tongue concerned so that it may correspond to the inferior surface of tongue of the array substrate 12 at the X side periphery section 16 of the upper surface, and the Y side periphery section 18. This grounding wiring 202 fabricates or forms conductive matter, such as copper or aluminum, in the shape of a sheet, outside the screen-display area 160, in the field of a way, has the almost same thick width of face as the X side and the Y side periphery sections 16 and 18, and is formed. And ground connection is made with the exterior in the proper position.

[0057] In order to connect electrically this grounding wiring 202 and each IC chips 20 and 24, two or more conductive metal pins 204 are arranged on the peripheral wall of the array substrate 12 so that it may correspond to each IC chips 20 and 24. This metal pin 204 has the shape of a cross-section KO character which has a presser foot stitch tongue up and down, and it is attached so that the array substrate 12 may be pinched up and down with the presser foot stitch tongue of these upper and lower sides. And it is soldering eclipse \*\*\*\*\* to the wiring 206 on the array substrate by which the lower presser foot stitch tongue is soldered with the grounding wiring 202, and the upper presser foot stitch tongue was pulled out from the IC chips 20 and 24.

[0058] In addition, other wiring 28 and 30 of the wiring for drive power supplies connected to the IC chips 20 and 24, signal input wiring, etc. is formed in the upper surface of the array substrate 12.

[0059] Without enlarging the appearance of the array substrate 12, since the grounding wiring 202 is allotted to the inferior surface of tongue of the array substrate 12 as it is this liquid

crystal display 200, the wiring field for allotting the wiring 28 and 30 of the wiring for drive power supplies, signal input wiring, etc. can be made large, thereby, wiring resistance can be made small and the malfunction of the IC chips 20 and 24 can be prevented.

[0060] Moreover, a high shielding effect can be obtained with the grounding wiring 202 to the noise containing the noise by the circuit (un-illustrating) which drives the back light noise and IC chip by the external lighting system (un-illustrating) allotted to the inferior surface of tongue of the array substrate 12 from the outside. Thereby, the upper surface side of a liquid crystal display 200 is shielded by bezel covering (un-illustrating), and an inferior-surface-of-tongue side is shielded good by the grounding wiring 202.

[0061] Furthermore, since the grounding wiring 202 is formed in the inferior surface of tongue of the array substrate 12, the width of face can be easily made thick, the wiring resistance can be made small, and, thereby, the malfunction of the IC chips 20 and 24 can be prevented effectively.

[0062] In the above-mentioned example, although grounding wiring was formed in the inferior surface of tongue of the array substrate 12 instead, you may form the wiring for drive power supplies, and other signal input wiring in the inferior surface of tongue of the array substrate 12. However, since it is necessary to form the wiring which has fixed potential in the inferior surface of tongue of the array substrate 12 in order to obtain the shielding effect mentioned above, it is desirable to form the grounding wiring or the wiring for drive power supplies which has fixed potential in the inferior surface of tongue concerned. However, the grounding wiring is more more desirable when the contact to bezel covering is taken into consideration.

[0063] In addition, in the above-mentioned example, while forming the thick grounding wiring 202 of width of face in the inferior surface of tongue of the array substrate 12, you may form other signal input wiring and narrow grounding wiring of the same width of face also in the upper surface. That is, you may form grounding wiring in parallel on the upper surface and the inferior surface of tongue of the array substrate 12.

[0064] (The 5th example) Next, drawing 7 and 8 explain the liquid crystal display 300 concerning the 5th example.

[0065] This liquid crystal display 300 is a liquid crystal display of a TAB method, and the grounding wiring 202 is allotted to the inferior surface of tongue of the array substrate 12 like the liquid crystal display 200 of the 4th example. However, in this liquid crystal display 300, the grounding wiring 202 of the inferior surface of tongue of the array substrate 12 is electrically connected with the IC chip 20 by TCP302 in which the IC chip 20 was carried. That is, as shown in drawing, by the anisotropy conductivity film, TCP 302a and 302b electrically connected to a signal line 22 and the X side array wiring 28 is bent by the upper surface of the array substrate 12 at the inferior-surface-of-tongue side of the array substrate 12, and is electrically connected to it by the grounding wiring 202, soldering, or the anisotropy conductivity film in connections 304 and 304. And the grounding wiring 202 and each IC chips 20a and 20b are electrically connected by the wiring in TCP302a and 302b.

[0066] Also in this example, without enlarging the appearance of the array substrate 12, like the 4th example, wiring resistance can be made small by the limited appearance, the malfunction of IC chip can be prevented, and the high shielding effect to an external noise is obtained.

[0067] Although each explained the above example taking the case of the liquid crystal display, it acts effective also in various flat-surface display, such as plasma and EL.

[0068]

[Effect of the Invention] Wiring resistance of two or more wiring formed in the periphery section of the substrate or the connection wiring substrate can be made small, without carrying out a substrate appearance to it being the flat-surface display of this invention greatly. Therefore, a malfunction does not arise for IC chip and a good screen display can be obtained.

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is the plan of the liquid crystal display 10 concerning the 1st example of this invention.

[Drawing 2] It is the A-A cross section of drawing 1.

[Drawing 3] It is the plan of the liquid crystal display 100 concerning the 2nd example.

[Drawing 4] It is the decomposition perspective diagram of the liquid crystal display 150 concerning the 3rd example.

[Drawing 5] It is the perspective diagram of the liquid crystal display 200 concerning the 4th example.

[Drawing 6] It is the bottom plan view of a liquid crystal display 200.

[Drawing 7] It is the important section expansion decomposition perspective diagram of the liquid crystal display 300 concerning the 5th example.

[Drawing 8] It is the important section expansion perspective diagram showing the inferior surface of tongue of a liquid crystal display 300.

[Drawing 9] It is the perspective diagram of the conventional liquid crystal display.

**[Description of Notations]**

10,100,150,200,300 .... Liquid crystal display

12 .... Array substrate

14 .... Opposite substrate

16 .... X side periphery section

17 .... External input polar zone

18 .... Y side periphery section

20 .... X side IC chip

24 .... Y side IC chip

28 .... The X side array wiring

30 .... The Y side array wiring

32 .... The X side opposite wiring

42 .... The Y side opposite wiring

102, 104, 302 .... TCP

154 .... Wiring of the X side periphery section 16 on an array substrate

158 .... Wiring of the X side periphery section 16 on an opposite substrate

202 .... Grounding wiring

---

[Translation done.]

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-198285

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

G09F 9/00  
G02F 1/1345

(21)Application number : 09-003761

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.01.1997

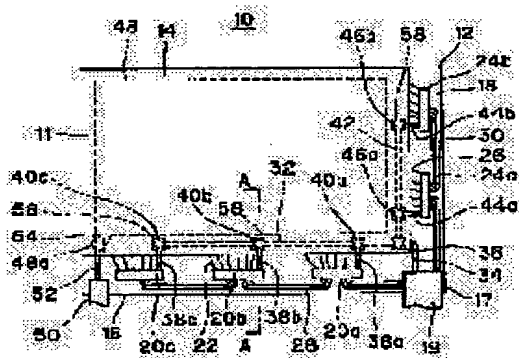
(72)Inventor : TANIMORI MASARU  
OTSUKI JUNKO  
KITAGAWA MASAKAZU

## (54) PLANAR DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make possible reducing wiring resistance of wiring arranged on a glass substrate without enlarging the outside size of the glass substrate by providing at least one wiring among plural wiring on the other side substrate.

**SOLUTION:** A liquid crystal is held between two sheets of glass substrates on which an array electrode and a counter electrode are formed respectively, and a display part 11 is formed. An array substrate 12 is formed larger than a counter substrate 14, and a signal line side peripheral part (X side peripheral part) 16 and a scan line side peripheral part (Y side peripheral part) 18 are formed in an L shape outward the display part 11. The wiring 32, 42 supplying a drive power source among plural wiring connected to IC chips 20, 24 are provided on the counter substrate 14. Thus, the wiring areas of the X side and Y side peripheral parts 16, 18 are reduced, and the outside size of the glass substrate is reduced. Further, wiring width of X side and Y side array wiring 28, 30, and X side and Y side counter wiring 32, 42 are thickened, and the wiring resistance is reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-198285

(43)公開日 平成10年(1998) 7月31日

(51)Int.Cl.<sup>6</sup>G 0 9 F 9/00  
G 0 2 F 1/1345

識別記号

3 4 8

F I

G 0 9 F 9/00 3 4 8 C  
G 0 2 F 1/1345

審査請求 未請求 請求項の数7 O L (全 9 頁)

(21)出願番号

特願平9-3761

(22)出願日

平成9年(1997) 1月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 谷森 勝

兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路工場内

(72)発明者 大月 淳子

兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路工場内

(72)発明者 北川 雅和

兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路工場内

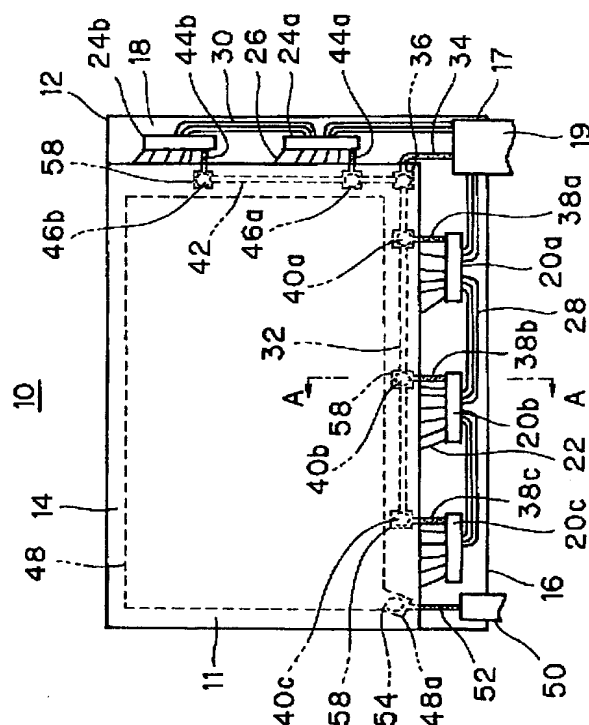
(74)代理人 弁理士 蔦田 璋子 (外1名)

(54)【発明の名称】 平面表示装置

(57)【要約】

【目的】 ガラス基板の外形サイズを大きくすることなく、ガラス基板上に配された配線の配線抵抗を小さくすることのできる平面表示装置を提供する。

【構成】 平面表示装置10のディスプレイ部11を形成するアレイ基板12の周縁部16に3個のX側ICチップ20を実装し、これらX側ICチップ20を駆動させるための信号を入力する複数の配線28を周縁部16に形成し、これらICチップ20を駆動させるための駆動電源用配線を対向基板14に形成したもの。



(2)

1

## 【特許請求の範囲】

【請求項1】 2枚の基板間に光変調層を保持し、少なくとも一方の前記基板に複数の電極を形成し、前記電極を駆動するICチップを前記一方の基板の周縁部に直接または接続配線基板を介して配し、前記ICチップを駆動させるための信号を入力する複数の配線を前記一方の基板の前記周縁部に直接または接続配線基板を介して形成した平面表示装置において、

前記複数の配線のうち少なくとも一の配線を、他方の前記基板に備えたことを特徴とする平面表示装置。

【請求項2】 前記の少なくとも一の配線には、前記ICチップを駆動する電源を供給する配線または前記ICチップを接地する接地配線が含まれていることを特徴とする請求項1に記載の平面表示装置。

【請求項3】 2枚の基板間に光変調層を保持し、少なくとも一方の前記基板に複数の電極を形成し、前記電極を駆動するICチップを前記一方の基板の周縁部に直接または接続配線基板を介して配し、前記ICチップを駆動させるための信号を入力する複数の配線を前記一方の基板の前記周縁部に直接または接続配線基板を介して形成した平面表示装置において、  
他方の前記基板にも配線を設け、  
少なくとも一の信号を、前記一方の基板に設けられた配線と、前記他方の基板に設けられた配線とを通して並列に前記ICチップへ入力することを特徴とする平面表示装置。

【請求項4】 前記複数の配線と電気的に接続された外部入力部が前記一方の基板の前記周縁部に配され、前記ICチップが前記一方の前記基板の少なくとも一端辺に沿って複数個配され、  
前記外部入力部から前記ICチップへ入力される前記少なくとも一の信号に対する配線抵抗を、隣接する前記ICチップ間でほぼ等しくしたことを特徴とする請求項3に記載の平面表示装置。

【請求項5】 前記の少なくとも一の信号を通す配線には、前記ICチップを駆動する電源を供給する配線または前記ICチップを接地する接地配線が含まれていることを特徴とする請求項3または4に記載の平面表示装置。

【請求項6】 2枚の基板間に光変調層を保持し、少なくとも一方の前記基板に複数の電極を形成し、前記電極を駆動するICチップを前記一方の基板の前記電極が形成された面の周縁部に直接または接続配線基板を介して配し、前記ICチップを駆動させるための信号を入力する複数の配線を前記一方の基板の前記周縁部に直接または接続配線基板を介して形成した平面表示装置において、  
前記複数の配線のうち少なくとも一の配線を、前記一方の前記基板の前記電極が形成された面の裏面に配したことを特徴とする平面表示装置。

2

【請求項7】 前記一方の基板を下に、前記他方の基板を上配し、前記一方の基板の下方に外部照明装置を備え、

前記の少なくとも一の配線には、前記ICチップを接地する接地配線が含まれていることを特徴とする請求項6に記載の平面表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置に代表される平面表示装置に関し、特に配線構造に特徴を有する平面表示装置に関する。

## 【0002】

【従来の技術】従来の液晶表示装置の配線構造を、図9に基づいて説明する。

【0003】液晶表示装置400は、2枚のガラス基板402、404を組み合せ、一方のガラス基板404の周縁部406には、ガラス基板404に形成させたTFTトランジスタ等のスイッチング素子を駆動するための信号線駆動部用ICチップ408及び走査線駆動部用ICチップ410が複数個直接実装されている。これらICチップ408、410を制御するための制御信号や駆動電源などを供給するための配線412は、ガラス基板404の周縁部406に薄膜で形成されている。そして、この配線412の入力端子部分にフレキシブル基板414が配されて、前記した制御信号や駆動電源などを供給する外部回路に接続されている。

## 【0004】

【発明が解決しようとする課題】上記した液晶表示装置400の配線構造では、表示エリア416内の各電極と同時に形成されることから配線412は薄膜で形成され、よって配線抵抗が大きい。配線抵抗が大きいと、ICチップに誤動作が生じるなどして、良好な画面表示が得られないという不具合が起こりやすい。このような配線抵抗を小さくするためには、配線412の幅を太くすることが考えられるが、配線412を太くすると、配線412が形成される領域であるガラス基板404の周縁部406の面積が大きくなり、画面表示エリア416に対するガラス基板404の外形サイズが大きくなってしまいうという問題がある。

【0005】そこで、本発明は、ガラス基板の外形サイズを大きくすることなく、ガラス基板上に配された配線の配線抵抗を小さくすることのできる液晶表示装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】本発明の請求項1の平面表示装置は、2枚の基板間に光変調層を保持し、少なくとも一方の前記基板に複数の電極を形成し、前記電極を駆動するICチップを前記一方の基板の周縁部に直接または接続配線基板を介して配し、前記ICチップを駆動させるための信号を入力する複数の配線を前記一方の基

(3)

3

板の前記周縁部に直接または接続配線基板を介して形成した平面表示装置において、前記複数の配線のうち少なくとも一の配線を、他方の前記基板に備えたものである。

【0007】請求項2の平面表示装置は、請求項1において、前記の少なくとも一の配線には、前記ICチップを駆動する電源を供給する配線または前記ICチップを接地する接地配線が含まれているものである。

【0008】請求項3の平面表示装置は、2枚の基板間に光変調層を保持し、少なくとも一方の前記基板に複数の電極を形成し、前記電極を駆動するICチップを前記一方の基板の周縁部に直接または接続配線基板を介して配し、前記ICチップを駆動させるための信号を入力する複数の配線を前記一方の基板の前記周縁部に直接または接続配線基板を介して形成した平面表示装置において、他方の前記基板にも配線を設け、一の信号を、前記一方の基板に設けられた配線と、前記他方の基板に設けられた配線とを通して並列に前記ICチップへ入力するものである。

【0009】請求項4の平面表示装置は、請求項3において、前記複数の配線と電気的に接続された外部入力部が前記一方の基板の前記周縁部に配され、前記ICチップが前記一方の前記基板の少なくとも一端辺に沿って複数個配され、前記外部入力部から前記ICチップへ入力される前記少なくとも一の信号に対する配線抵抗を、隣接する前記ICチップ間でほぼ等しくしたものである。

【0010】請求項5の平面表示装置は、請求項3または4において、前記の少なくとも一の信号を通す配線には、前記ICチップを駆動する電源を供給する配線または前記ICチップを接地する接地配線が含まれているものである。

【0011】請求項6の平面表示装置は、2枚の基板間に光変調層を保持し、少なくとも一方の前記基板に複数の電極を形成し、前記電極を駆動するICチップを前記一方の基板の前記電極が形成された面の周縁部に直接または接続配線基板を介して配し、前記ICチップを駆動させるための信号を入力する複数の配線を前記一方の基板の前記周縁部に直接または接続配線基板を介して形成した平面表示装置において、前記複数の配線のうち少なくとも一の配線を、前記一方の前記基板の前記電極が形成された面の裏面に配したものである。

【0012】請求項7の平面表示装置は、請求項6において、前記一方の基板を下に、前記他方の基板を上配し、前記一方の基板の下方に外部照明装置を備え、前記の少なくとも一の配線には、前記ICチップを接地する接地配線が含まれているものである。

【0013】請求項1の平面表示装置では、ICチップを駆動させるための信号を入力する複数の配線、例えば、駆動電源用配線や表示データ信号配線、接地配線などの配線のうち、少なくとも一の配線が他方の基板に配

4

されている。そのため、少なくともその一の配線分だけ、一方の基板の周縁部または接続配線基板の面積を小さくすることができる。また、前記一方の基板の外形を大きくすることなく、その基板の周縁部または接続配線基板に形成された複数の配線の配線幅を太くして配線抵抗を小さくすることができる。

【0014】請求項2の平面表示装置では、配線抵抗による電位低下が特に問題となる駆動電源用配線または接地配線につき、その配線抵抗を下げることができる。

【0015】請求項3の平面表示装置では、ICチップを駆動させるための信号を入力する複数の配線のうち少なくとも一の配線が、他方の基板にも配されており、一の信号が、一方の基板に設けられた配線と他方の基板に設けられた配線とにより並列にICチップへ入力される。そのため、ICチップへの配線抵抗が直列に接続されている場合に比べて小さく、よって、前記一方の基板の外形を大きくすることなく、その配線の配線抵抗を小さくすることができる。

【0016】請求項4の平面表示装置では、一方の基板の端辺に沿って配された複数のICチップにおいて、少なくとも一の信号については、外部入力部から各ICチップへと入力される際の配線抵抗が、隣接するICチップ間でほぼ等しいので、各ICチップ間で均質の信号が送られる。そのため、これら複数のICチップを外部入力部からの距離に拘らず同等に動作させることができ、よって、安定した画面表示を得ることができる。

【0017】請求項5の平面表示装置では、配線抵抗による電位低下が特に問題となる駆動電源用配線または接地配線につき、その配線抵抗を下げるすることができる。

【0018】請求項6の平面表示装置では、ICチップを駆動させるための信号を入力する複数の配線のうち少なくとも一の配線が、一方の基板の、他の配線が形成された面とは反対側の面に配されている。そのため、少なくともその一の配線分だけ、一方の基板の周縁部または接続配線基板を小さくすることができる。また、前記一方の基板の外形を大きくすることなく、その基板の周縁部または接続配線基板に形成された複数の配線の配線幅を太くして配線抵抗を小さくすることができる。さらに、基板の裏面であるため、その一の配線を太くすることも容易である。

【0019】請求項7の平面表示装置では、接地配線が一方の基板の下面に配されているので、その下方に配された外部照明装置からのノイズをシールドするとともに、平面表示装置の外部からのノイズに対するシールド効果が高い。

【0020】

【発明の実施の形態】

(第1の実施例) 以下、本発明の第1の実施例に係る液晶表示装置10を図1、2により説明する。

【0021】この液晶表示装置10は、COG(Chip On



(4)

5

Glass) 方式による液晶表示装置であり、アレイ電極と対向電極がそれぞれ形成された2枚のガラス基板間に液晶が保持されてディスプレイ部11が形成されている。そして、アレイ電極が形成されたガラス基板であるアレイ基板12は、対向電極が形成されたガラス基板である対向基板14より大きく形成されており、前記ディスプレイ部11の外方に、アレイ基板12よりなる信号線側周縁部(以下、X側周縁部という)16と走査線側周縁部(以下、Y側周縁部という)18とがL字状に交差するように形成されている。そして、この両周縁部16、

18が交差する領域には、外部からの信号などが入力される外部入力電極部17が形成されており、この電極部17に、フレキシブル配線基板19が電気的に接続されている。

【0022】符号20は、X側周縁部16に直接実装された信号線駆動部用ICチップ(以下、X側ICチップという)であり、所定の間隔をおいて3個がアレイ基板12の上面に実装されている。このX側ICチップ20は、ディスプレイ部11から引出されたアルミニウム

(A1) 薄膜よりなる複数の信号線22に接続されている。

【0023】符号24は、Y側周縁部18に直接実装された走査線駆動部用ICチップ(以下、Y側ICチップという)であり、所定の間隔をおいて2個がアレイ基板12の上面に実装されている。このY側ICチップ24は、ディスプレイ部11から引出されたアルミニウム

(A1) 薄膜よりなる複数の走査線26に接続されている。

【0024】符号28は、X側周縁部16にアルミニウム(A1) 薄膜により形成されたアレイ基板上配線(以下、X側アレイ配線という)であり、X側ICチップ20に表示データやクロック信号、スタート・パルスなどの信号を入力する複数の信号入力配線と、X側ICチップ20を接地するための接地配線とよりなる。このX側アレイ配線28は、外部入力電極部17からX側周縁部16の外縁に沿って延びている。ここで、3個のX側ICチップ20を、外部入力電極部17に近い方から、第1X側ICチップ20a、第2X側ICチップ20b、第3X側ICチップ20cとすると、X側アレイ配線28は、第1、2X側ICチップ20a、20bで内方に突出するように屈曲して、これら両チップ20a、20bを前記電極部17に接続し、さらに、第3X側ICチップ20cまで延びて該チップ20cを接続している。

【0025】符号30は、Y側周縁部18に薄膜により形成されたアレイ基板上配線(以下、Y側アレイ配線という)であり、Y側ICチップ24に表示データやクロック信号、スタート・パルスなどの信号を入力する複数の入力信号配線と、Y側ICチップ24を接地するための接地配線とよりなる。このY側アレイ配線30は、外部入力電極部17からY側周縁部18の外縁に沿って延

6

びている。このY側アレイ配線30も、X側アレイ配線28と同様に、Y側ICチップ24の第1、2チップ24a、24bを外部入力電極部17に接続している。

【0026】符号32は、対向基板14の内面即ち下面側において該基板上に薄膜により形成され、X側周縁部16に平行に延びる対向基板上配線(以下、X側対向配線という)である。このX側対向配線32は、X側ICチップ20に駆動電源を供給する配線であり、その一端は、外部入力電極部17から引出された薄膜よりなるアレイ基板上配線34と、導電性のトランスファ36を介して電気的に接続されている。そして、他端は、第3X側ICチップ20cと接続されたアレイ基板上配線38cと、導電性のトランスファ40cを介して電気的に接続されている。さらに、第1、2X側ICチップ20a、20bについても、各ICチップ20a、20bにそれぞれ接続されたアレイ基板上配線38a、38bと、導電性のトランスファ40a、40bを介してそれぞれ電気的に接続されている。

【0027】符号42は、対向基板14の内面側において該基板上に薄膜により形成され、Y側周縁部18に平行に延びる対向基板上配線(以下、Y側対向配線という)である。このY側対向配線42は、Y側ICチップ24に駆動電源を供給する配線であり、その一端は、X側対向配線32と、トランスファ36において電気的に接続されており、他端は、第2Y側ICチップ24bに接続されたアレイ基板上配線44bと、導電性のトランスファ46bを介して電気的に接続されている。さらに、第1Y側ICチップ24aについても、該ICチップ24aと接続されたアレイ基板上配線44aと、導電性のトランスファ46aを介して電気的に接続されている。

【0028】これらX側及びY側対向配線32、42は、対向基板14に形成された対向電極48の周縁より外方に位置している。また、これら対向配線32、42及びアレイ基板上配線34、38、44は、X側アレイ配線28及びY側アレイ配線30を構成する信号入力配線などの各一の配線よりも幅広く形成されている。

【0029】なお、対向電極48への給電は、X側周縁部16の外部入力電極部17と反対の端部に配されたフレキシブル基板50より、アレイ基板上配線52、導電性のトランスファ54を介してなされる。対向電極48の端部には、トランスファ54を設けるためのパッド部48aが突出形成されている。

【0030】ここで、トランスファ40bの構造について図2により説明する。トランスファ40bは、銀ペーストよりなる導電性材であり、例えばアレイ基板12と対向基板14との間の液晶61を封止するための絶縁性シール材56内に円柱状に形成され、X側対向配線32の接続パッド58とアレイ基板上配線38bとを接続している。トランスファ40a、40c及び他のトランス

(5)

7

ファ36、46、54についても同様にシール材56内に円柱状に形成されている。

【0031】なお、符号60は遮光膜、符号62は赤、緑、青の三原色で構成される色部を示し、対向基板14上に形成されている。この色部62と対向電極48との間には絶縁性の有機保護膜64が形成されている。また、符号66は絶縁膜、符号68は画素電極、符号70は配向膜を示す。

【0032】以上よりなる液晶表示装置10では、ICチップ20、24に接続すべき複数の配線の内、駆動電源を供給する配線32、42が、対向基板14側に設けられている。そのため、X側及びY側周縁部16、18における配線を形成するための配線領域を小さくすることができ、よって、画面表示エリアに対するガラス基板の外形サイズを小さくすることができる。また、ガラス基板の外形サイズを大きくすることなく、X側及びY側アレイ配線28、30と、X側及びY側対向配線32、42の配線幅を太くすることができ、よって、これらガラス基板上に形成された配線の配線抵抗を小さくすることができる。

【0033】なお、以上においては、ICチップ20、24への駆動電源用の配線を対向基板14上に設けたが、これに代えて接地配線や信号入力配線を対向基板14上に設けてもよい。ただ、上記のように、対向基板14に配線32、42を設けた方が外形サイズを大きくすることなく、容易にその幅を太くして配線抵抗を下げるので、特に配線抵抗が問題となる駆動電源用配線や接地配線を対向基板14に設ける方が好ましい。

【0034】また、以上においては、X側及びY側対向配線32、42を別に形成せしめて、駆動電源用の配線としたが、導電性を有する遮光膜60をそのまま配線として用いてもよい。この場合にも、トランスファ36、40、46により、アレイ基板12と対向基板14との間を電氣的に接続する。

【0035】(第2の実施例)次に、第2の実施例に係る液晶表示装置100について図3により説明する。

【0036】この実施例も第1の実施例と同様、ICチップ20、24への駆動電源用配線を対向基板14上に設けている。以下、第1の実施例との相違点についてのみ説明する。

【0037】この液晶表示装置100は、TAB(Tape Automated Bonding)方式によるものである。X側周縁部16とY側周縁部18には、各ICチップ20、24がフレキシブル基板上に搭載されたTCP(Tape Carrier Package)が、X側に3個102a、102b、102c、Y側に2個104a、104b配されている。

【0038】本実施例においては、X側対向配線32とY側対向配線42とが対向基板14上で接続されており、X側ICチップ20とY側ICチップ

8

24に対する駆動電源用配線は、外部入力電極部17からそれぞれX側及びY側周縁部16、18に沿って引出され、それぞれ第1ICチップ20a、24aが搭載されたTCP102a、104aに接続されている。そして、TCP102a、104a上で、第1ICチップ20a、24aに電氣的に接続されるとともに、アレイ基板上配線38a、44aを介してトランスファ40a、46aに接続され、これによりX、Y側対向配線32、42に接続されている。

【0039】なお、対向電極48への給電は、外部入力電極部17の近傍よりなされ、該電極部17から引出されたアレイ基板上配線52及びトランスファ54を介してなされる。

【0040】以上のように、TAB方式の場合でも対向基板14上にICチップ20、24を駆動させるための配線を設けることができ、これにより、第1の実施例と同様の効果が得られる。

【0041】なお、本実施例のように、対向基板上配線32、42をX側とY側とで分離するように構成すれば、対向電極48への給電を外部入力電極部17より行なうことができる。

【0042】(第3の実施例)次に、第3の実施例に係る液晶表示装置150について図4により説明する。

【0043】この液晶表示装置150は、ICチップ20、24への配線を、アレイ基板12上の配線と対向基板14上の配線との並列で行なっていることを特徴とする。すなわち、第1、2の実施例のように、ICチップ20、24への複数の配線の一部をアレイ基板12上に設ける代りに対向基板14上に設けるものではなく、例えば、駆動電源用配線をアレイ基板12と対向基板14の両方に設け、電源供給をアレイ基板12と対向基板14との両側から行なうものである。

【0044】以下、この駆動電源用配線を並列に配線した場合について詳細に説明する。

【0045】アレイ基板12のX側周縁部16には、外部入力電極部17から引出され、各ICチップ20a、20bの電源入力電極152a、152bにそれぞれ接続されたアレイ基板上配線154a、154bが形成されている。また、電源入力電極152a、152bは、アレイ基板12と対向基板14との間を電氣的に接続するトランスファ156a、156bに接続されている。

【0046】X側周縁部16に対向する対向基板14の周縁部の下面側には、各ICチップ20a、20bに対応する対向基板上配線158a、158bが、画面表示エリア160の外方に位置するように形成されている。この対向基板上配線158a、158bは、その一端が、トランスファ156a、156bに接続され、他端が、外部入力電極部17の近傍に位置する対向基板14の角部に設けられたトランスファ162a、162bに接続されている。そして、トランスファ162a、16

(6)

2bは、外部入力電極部17から引出されたアレイ基板上配線164a、164bにそれぞれ接続されている。  
 【0047】ここで、アレイ基板上配線154a、154bの配線抵抗値をそれぞれ $R_{Aa}$ 、 $R_{Ab}$ とし、対向基板上配線158a、158bの配線抵抗値をそれぞれ $R_{Ca}$ 、 $R_{Cb}$ とし、さらに各トランスファ156a、156

10  
 \* 6b、162a、162bの抵抗値をそれぞれ $R_{T1a}$ 、 $R_{T1b}$ 、 $R_{T0a}$ 、 $R_{T0b}$ としたとき、これら抵抗値の間に下記の式(1)が成立つように、各配線及びトランスファが設計されている。

【0048】

【数1】

$$\frac{1}{\frac{1}{R_{Aa}} + \frac{1}{R_{Ca} + R_{T1a} + R_{T0a}}} = \frac{1}{\frac{1}{R_{Ab}} + \frac{1}{R_{Cb} + R_{T1b} + R_{T0b}}} \quad \dots\dots (1)$$

すなわち、外部入力電極部17からICチップ20に至る配線抵抗が、第1チップ20aと第2チップ20bとの間で等しくなるように設計されている。

【0049】なお、以上において、外部入力電極部17からトランスファ162a、162bへのアレイ基板上配線164a、164bの配線抵抗値をそれぞれ

※ $R_{A0a}$ 、 $R_{A0b}$ としたとき、下記の式(2)が成立つように、各配線及びトランスファを設計するとより望ましい。

【0050】

【数2】

$$\frac{1}{\frac{1}{R_{Aa}} + \frac{1}{R_{Ca} + R_{T1a} + R_{T0a} + R_{A0a}}} = \frac{1}{\frac{1}{R_{Ab}} + \frac{1}{R_{Cb} + R_{T1b} + R_{T0b} + R_{A0b}}} \quad \dots\dots (2)$$

アレイ基板12のY側周縁部18及びそれに対向する対向基板14の周縁部にも、上述したX側と同様に各ICチップ24a、24bの駆動電源用配線が、アレイ基板12と対向基板14とに並列に配されており、また、外部入力電極部17からICチップ24に至る配線抵抗が、第1Y側ICチップ24aと第2Y側ICチップ24bとの間で等しくなるように設計されている。

【0051】この液晶表示装置150では、ICチップ20、24の駆動電源がアレイ基板12と対向基板14の両側より並列に供給される。そのため、外部入力電極部17と各ICチップ20、24との間の配線抵抗が、直列の場合に比べて小さい。すなわち、配線抵抗自体を小さくすることができる。これにより、電圧降下が小さくなり、ICチップ20、24を良好に動作させることができる。

【0052】また、この配線抵抗が第1チップ20a、24aと第2チップ20b、24bとの間で等しいので、2つのICチップ20aと20b又は24aと24bに同等の駆動電源を入力することができ、よってこれらを同等に動作させることができる。以上より、ICチップごとのムラのない、良好かつ安定した画面表示を得ることができる。

【0053】さらに、上記のように式(1)または式(2)に基づいて配線を設計するので、外部入力電極部17からICチップ20、24の電源入力電極152までの抵抗値が分かり、電圧降下の値を求めることができる。そのため、この電圧降下分を考慮して、外部入力電位をマージンをみて決めることができる。

【0054】なお、以上、ICチップの駆動電源用配線を並列に配線した場合について説明したが、ICチップ20、24に接続される他の信号入力配線や接地配線についても、駆動電源用配線に代えてまたはそれと同時に、並列に配線することができる。このような並列配線は、クロック信号、スタート・パルス信号などを除く、表示データなどに関する信号や、駆動電源、接地などに対して適用することが望ましく、特に駆動電源に対して適用することが最も望ましい。なお、駆動電源用配線については、配線抵抗による電圧降下をできるだけ小さくするため、さらに、配線幅を他の配線よりも太くすることが望ましい。

【0055】(第4の実施例)次に、第4の実施例に係る液晶表示装置200について図5、6により説明する。

50 【0056】この液晶表示装置200は、第1の実施例

(7)

11

と同様、COG方式による液晶表示装置であるが、この実施例では、接地配線がアレイ基板12の下面に配されている。すなわち、アレイ基板12の下面には、その上面のX側周縁部16及びY側周縁部18に対応するように、当該下面の周縁部にL字状の接地配線202が形成されている。この接地配線202は、銅またはアルミ等の導電性物質をシート状に成形または成膜したものであり、画面表示エリア160の外方の領域において、X側及びY側周縁部16、18とほぼ同一の太い幅を有して形成されている。そして、適宜の位置で外部とグラウンド

【0057】この接地配線202と、各ICチップ20、24とを電気的に接続するために、アレイ基板12の周壁には、複数の導電性の金属ピン204が、各ICチップ20、24に対応するように配されている。この金属ピン204は、上下に爪を有する断面コ字状であり、この上下の爪によりアレイ基板12を上下に挟むように取付けられている。そして、下の爪は、接地配線202と半田付けされており、上の爪は、ICチップ20、24から引出されたアレイ基板上の配線206に半田付けられている。

【0058】なお、ICチップ20、24に接続される駆動電源用配線や信号入力配線などの他の配線28、30は、アレイ基板12の上面に形成されている。

【0059】本液晶表示装置200であると、接地配線202をアレイ基板12の下面に配しているのので、アレイ基板12の外形を大きくすることなく、駆動電源用配線や信号入力配線などの配線28、30を配するための配線領域を広くすることができ、これにより、配線抵抗を小さくして、ICチップ20、24の誤動作を防ぐことができる。

【0060】また、接地配線202によって、アレイ基板12の下面に配された外部照明装置（不図示）によるバックライトノイズやICチップを駆動する回路（不図示）によるノイズを含む、外部からのノイズに対して、高いシールド効果を得ることができる。これにより、液晶表示装置200の上面側はベゼルカバー（不図示）によって、下面側は接地配線202によって、良好にシールドされる。

【0061】さらに、接地配線202がアレイ基板12の下面に形成されているため、容易にその幅を太くしてその配線抵抗を小さくすることができ、これにより、ICチップ20、24の誤動作を有効に防止することができる。

【0062】上記実施例においては、接地配線をアレイ基板12の下面に設けたが、その代りに駆動電源用配線や他の信号入力配線をアレイ基板12の下面に設けてもよい。ただし、上述したシールド効果を得るには、固定電位を有する配線をアレイ基板12の下面に設ける必要があるため、固定電位を有する接地配線または駆動電源

12

用配線を当該下面に設けることが好ましい。ただ、ベゼルカバーへの接触を考慮した場合、接地配線の方がより好ましい。

【0063】なお、上記実施例において、アレイ基板12の下面に幅の太い接地配線202を形成するとともに、上面にも他の信号入力配線と同様な幅の細い接地配線を形成してもよい。すなわち、アレイ基板12の上面と下面とで、接地配線を並列に形成してもよい。

【0064】（第5の実施例）次に、第5の実施例に係る液晶表示装置300について図7、8により説明する。

【0065】この液晶表示装置300は、TAB方式の液晶表示装置であり、第4の実施例の液晶表示装置200と同様に、接地配線202がアレイ基板12の下面に配されている。ただし、この液晶表示装置300では、ICチップ20が搭載されたTCP302によって、アレイ基板12の下面の接地配線202がICチップ20と電気的に接続されている。すなわち、図に示すように、アレイ基板12の上面に異方性導電性膜で信号線22及びX側アレイ配線28に電気的に接続されたTCP302a、302bが、アレイ基板12の下面側に折り曲げられて、接地配線202と半田付けまたは異方性導電性膜により接続部304、304において電気的に接続されている。そして、TCP302a、302b内の配線によって、接地配線202と各ICチップ20a、20bとが電気的に接続されている。

【0066】この実施例においても、第4の実施例と同様に、アレイ基板12の外形を大きくすることなく、かつ、限られた外形で配線抵抗を小さくして、ICチップの誤動作を防ぐことができ、外部のノイズに対する高いシールド効果が得られる。

【0067】以上の実施例はいずれも液晶表示装置を例にとり説明したが、プラズマ、EL等の各種平面表示装置にも有効に作用する。

【0068】

【発明の効果】本発明の平面表示装置であると、基板外形を大きくすることなく、その基板の周縁部または接続配線基板に形成された複数の配線の配線抵抗を小さくすることができる。そのため、ICチップに誤動作が生じることがなく、良好な画面表示を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る液晶表示装置100の平面図である。

【図2】図1のA-A断面図である。

【図3】第2の実施例に係る液晶表示装置100の平面図である。

【図4】第3の実施例に係る液晶表示装置150の分解斜視図である。

【図5】第4の実施例に係る液晶表示装置200の斜視図である。

(8)

13

【図6】液晶表示装置200の底面図である。

【図7】第5の実施例に係る液晶表示装置300の要部拡大分解斜視図である。

【図8】液晶表示装置300の下面を示す要部拡大斜視図である。

【図9】従来の液晶表示装置の斜視図である。

【符号の説明】

10、100、150、200、300……液晶表示装置

12……アレイ基板

14……対向基板

16……X側周縁部

14

17……外部入力電極部

18……Y側周縁部

20……X側ICチップ

24……Y側ICチップ

28……X側アレイ配線

30……Y側アレイ配線

32……X側対向配線

42……Y側対向配線

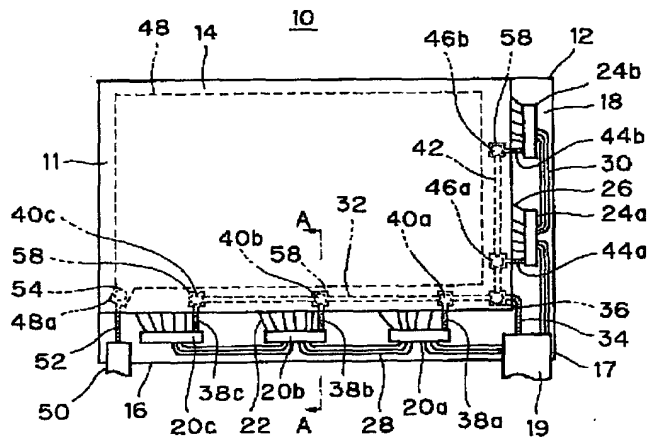
102、104、302……TCP

10 154……X側周縁部16のアレイ基板上配線

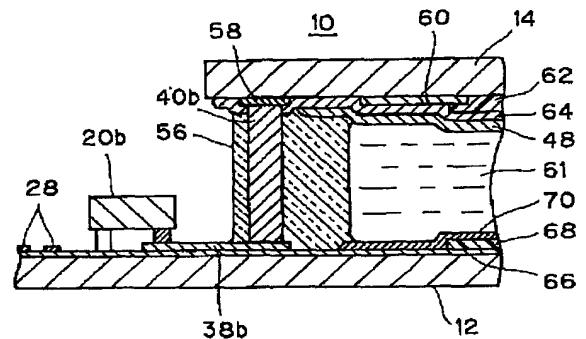
158……X側周縁部16の対向基板上配線

202……接地配線

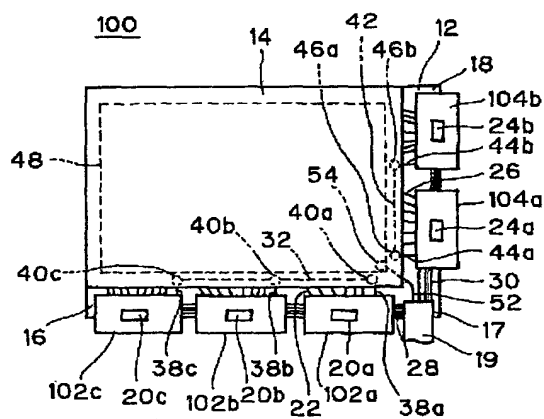
【図1】



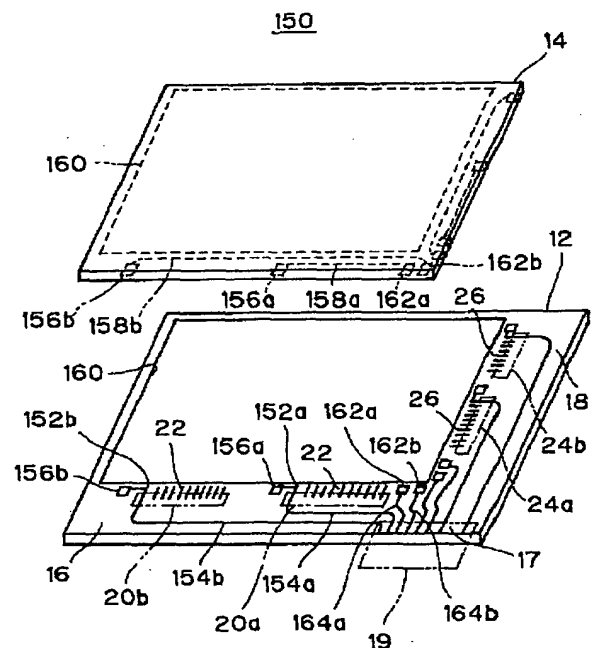
【図2】



【図3】

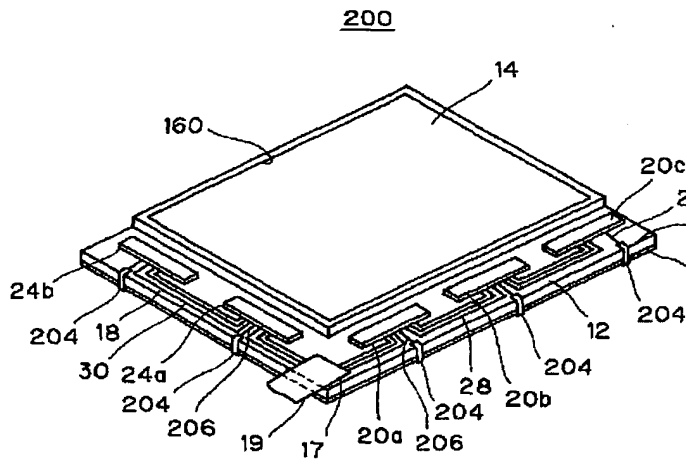


【図4】

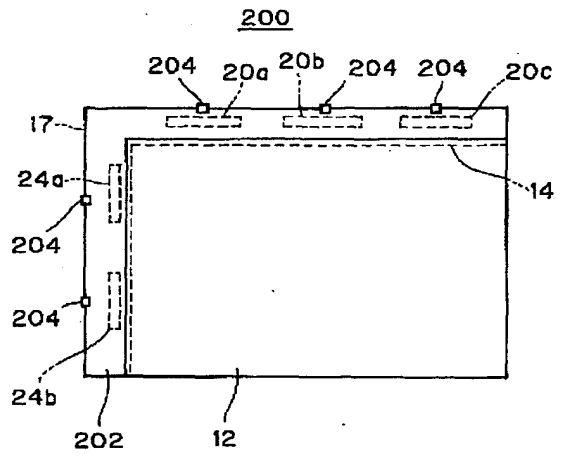


(9)

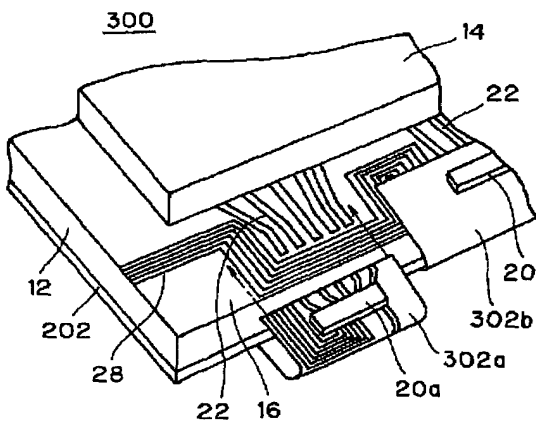
【図5】



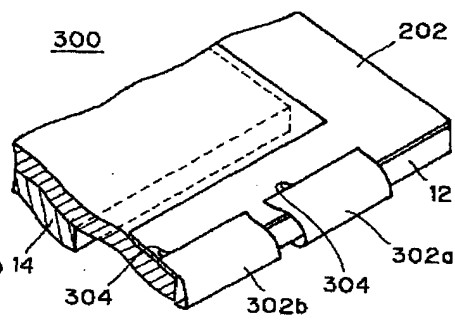
【図6】



【図7】



【図8】



【図9】

